

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Method of making a compound semiconductor crystal-on-substrate structure

Patent Number: ☐ US5424243
Publication date: 1995-06-13
Inventor(s): TAKASAKI KANETAKE (JP)
Applicant(s):: FUJITSU LTD (JP)
Requested Patent: ☐ JP7094420
Application
Number: US19940302439 19940909
Priority Number(s): JP19930233506 19930920
IPC Classification: H01L21/20
EC Classification: H01L21/205C2
Equivalents:

Abstract

A method of producing a compound semiconductor crystal-on-substrate structure includes forming a first compound semiconductor crystal layer made of a group III-V compound semiconductor on a Si substrate, forming a stacked structure by forming an amorphous compound semiconductor layer made of the group III-V compound semiconductor on the first compound semiconductor crystal layer, subjecting the stacked structure to a thermal process, removing at least the amorphous compound semiconductor layer from the stacked structure that is subjected to the thermal process, and forming a second compound semiconductor crystal layer made of the group III-V compound semiconductor, to thereby form the compound semiconductor crystal-on-substrate structure.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94420

(43) 公開日 平成7年(1995)4月7日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/205

C 3 0 B 25/02

Z

審査請求 未請求 請求項の数5 O L (全 4 頁)

(21) 出願番号 特願平5-233506

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 高崎 金剛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

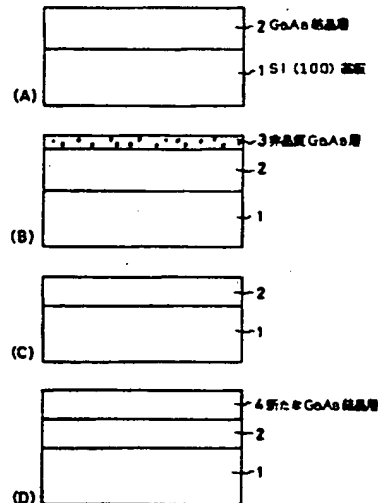
(54) 【発明の名称】 化合物半導体結晶基板の製造方法

(57) 【要約】

【目的】 化合物半導体結晶基板の製造方法に関し、S i 基板上に成長したGaAs等のIII-V族化合物半導体層の結晶欠陥密度を $1 \times 10^6 \text{ cm}^{-2}$ 以下に低減する化合物半導体結晶基板の製造方法を提供する。

【構成】 S i 基板1の上にGaAs等のIII-V族化合物半導体結晶層2をMOCVD等によってエピタキシャル成長し、その上に非晶質のGaAs等のIII-V族化合物半導体層3を成長し、このIII-V族化合物半導体結晶層2と非晶質のIII-V族化合物半導体層3を熱アニールした後、この非晶質のIII-V族化合物半導体層3を含むIII-V族化合物半導体結晶層2の部分を機械的・化学的研磨等によって除去し、その上に新たなGaAs等のIII-V族化合物半導体結晶層4をエピタキシャル成長する。

本発明の実施例の化合物半導体結晶基板の製造工程説明図



【特許請求の範囲】

【請求項1】 Si基板上にIII-V族化合物半導体結晶層をエピタキシャル成長する工程と、該III-V族化合物半導体結晶層の上に非晶質のIII-V族化合物半導体層を成長する工程と、該III-V族化合物半導体結晶層と非晶質のIII-V族化合物半導体層をアニールする工程と、該非晶質のIII-V族化合物半導体層を含むIII-V族化合物半導体結晶層の部分を除去する工程と、該III-V族化合物半導体結晶層の上に、新たなIII-V族化合物半導体結晶層をエピタキシャル成長する工程を含むことを特徴とする化合物半導体結晶基板の製造方法。

【請求項2】 III-V族化合物半導体結晶層、非結晶のIII-V族化合物半導体層をMOCVDによって成長することを特徴とする請求項1に記載された化合物半導体結晶基板の製造方法。

【請求項3】 非晶質のIII-V族化合物半導体層を、500℃以下の温度で成長することを特徴とする請求項1に記載された化合物半導体結晶基板の製造方法。

【請求項4】 700℃以上のアニールと200℃以下のアニールを複数回行うことを特徴とする請求項1に記載された化合物半導体結晶基板の製造方法。

【請求項5】 表面の非結晶III-V族化合物半導体層を含むIII-V族化合物半導体結晶層の部分を機械的・化学的研磨を用いて除去した後、新たなIII-V族化合物半導体結晶層を成長することを特徴とする請求項1に記載された化合物半導体結晶基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、Si基板上にIII-V族化合物半導体結晶層、特に、GaAs結晶層を有する化合物半導体結晶基板の製造方法に関する。

【0002】GaAs等のIII-V族化合物半導体結晶層を用いた半導体装置は、そのキャリア移動度が大きいため、Siを用いた半導体装置より高速動作が可能であり、バンドギャップの関係で可視光の発光機能を有するため、その有用性が広く認識されているが、大口径の基板を製造することが困難であり、また機械的強度が乏しいために、半導体装置としての実用化の進展の度合いからみるとSiに大きく遅れをとっている。

【0003】そこで、最近、大口径の基板が得やすく、機械的な強度の面で優れたSi基板の上にGaAs結晶層を成長し、このGaAs成長層に、LED、レーザ、FET等を形成する試みが活発になっている。しかしながら、この方法で得られるGaAs結晶層等のIII-V族化合物半導体結晶層には多くの結晶欠陥が存在するため、このIII-V族化合物半導体結晶層を用いて良好な特性のLED、レーザ、FET等を製造することができないという難点があった。

【0004】

【従来の技術】そこで、従来は、Si基板上に形成されたGaAs結晶層等のIII-V族化合物半導体結晶層の結晶欠陥を低減するため、Si基板上に目的とする厚さのIII-V族化合物半導体結晶層を成長した後に熱サイクルを加えることによって、または、Si基板上に目的とする厚さの半分程度のGaAs結晶層を成長した後に熱サイクルアニールを行い、引続き目的とする厚さまでGaAs結晶層を成長することによって結晶欠陥の低減を図っていた。

【0005】

【発明が解決しようとする課題】しかしながら、このような方法では結晶欠陥密度を $1 \times 10^6 \text{ cm}^{-2}$ 以下に低減することは困難であった。従って、本発明は、Si基板上に成長したGaAs等のIII-V族化合物半導体層の結晶欠陥密度を $1 \times 10^6 \text{ cm}^{-2}$ 以下に低減する化合物半導体基板の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明にかかる化合物半導体結晶基板の製造方法においては、Si基板上にIII-V族化合物半導体結晶層をエピタキシャル成長する工程と、該III-V族化合物半導体結晶層の上に非晶質のIII-V族化合物半導体層を成長する工程と、該III-V族化合物半導体結晶層と非晶質のIII-V族化合物半導体層をアニールする工程と、該非晶質のIII-V族化合物半導体層を含むIII-V族化合物半導体結晶層の部分を除去する工程と、該III-V族化合物半導体結晶層の上に、新たなIII-V族化合物半導体結晶層をエピタキシャル成長する工程を採用した。

【0007】この場合、III-V族化合物半導体結晶層、非結晶のIII-V族化合物半導体層をMOCVDによって成長することができる。

【0008】また、この場合、非晶質のIII-V族化合物半導体層を、500℃以下の温度で成長して、多結晶化するのを防ぐことができる。

【0009】また、この場合、700℃以上のアニールと200℃以下のアニールを複数回行って、非晶質のIII-V族化合物半導体層への結晶欠陥の吸収効果を高めることができる。

【0010】また、この場合、表面の非結晶のIII-V族化合物半導体層を含むIII-V族化合物半導体結晶層の部分を機械的・化学的研磨を用いて除去した後、新たなIII-V族化合物半導体結晶層を成長することができる。

【0011】また、これらの場合、III-V族化合物半導体としてGaAsを用いることができる。

【0012】

【作用】Si基板上に成長したGaAs結晶層等のIII-V族化合物半導体層の結晶欠陥密度を $1 \times 10^6 \text{ cm}^{-2}$ 以下に減少させるために、Si基板上に成長したI

III-V族化合物半導体層の上に非晶質のIII-V族化合物半導体層を成長し、これをアニールすることによって、Si基板上に成長したIII-V族化合物半導体層の結晶欠陥を非晶質のIII-V族化合物半導体層に吸収した後に、結晶欠陥が多く、アニールによって多結晶化している非晶質のIII-V族化合物半導体層を含む部分を除去して、結晶欠陥が少ないIII-V族化合物半導体層を露出させ、その上に、新たなIII-V族化合物半導体層を成長することによって、表面の部分に結晶欠陥が少ないGaAs結晶層等のIII-V族化合物半導体層を形成して、化合物半導体結晶基板を製造する。

【0013】

【実施例】以下、本発明の実施例を説明する。図1は、本発明の実施例の化合物半導体結晶基板の製造工程説明図である。この図において、1はSi(100)基板、2はGaAs結晶層、3は非晶質GaAs層、4は新たなGaAs結晶層である。

【0014】この製造工程説明図によって本発明の実施例の化合物半導体結晶基板の製造方法を説明する。

【0015】第1工程(図1(A)参照)

Si(100)基板1の上に、MOCVD法によって、トリメチルガリウム(TMG)、アルシン(AsH₃)を用いて、成長温度650℃、成長圧力76torrで、膜厚3.0μmのGaAs結晶層2を成長させる。

【0016】第2工程(図1(B)参照)

第1工程で形成したGaAs結晶層2の上に、MOCVD法によって、成長温度400℃~450℃、成長圧力76torrで、膜厚500~5000Åの非晶質GaAs層3を成長させる。次いで、Si(100)基板1の上にGaAs結晶層2と非晶質GaAs層3を積層したものに、下限温度を200℃とし、上限温度を800℃とする熱サイクルアニールを3回施す。この熱サイクルアニールによって、GaAs結晶層2中に存在していた結晶欠陥が非晶質GaAs層3中に移行し吸収される。

【0017】第3工程(図1(C)参照)

Si(100)基板1の上にGaAs結晶層2と非晶質GaAs層3を積層した積層体(GaAs on Si)を成長炉から取り出し、非晶質GaAs層3側から、非晶質GaAs層3を含む層を1.5μm除去す

る。

【0018】第4工程(図1(D)参照)

非晶質GaAs層3を含む層を1.5μm除去することによって、結晶欠陥が低減されたGaAs結晶層2が形成される。この結晶欠陥が低減されたGaAs結晶層2の上に再び新たなGaAs結晶層4を第1工程と同様の条件で厚さ1.5μm成長する。その結果、Si(100)基板1の上に、結晶欠陥密度が $5 \times 10^5 \text{ cm}^{-2}$ 程度で、膜厚が3μmより厚いGaAs結晶層2と新たなGaAs結晶層4を有する化合物半導体結晶基板が得られる。

【0019】図2は、本発明の実施例の化合物半導体結晶基板の製造方法の非晶質GaAs層の欠陥密度と成長温度の関係図である。この図において、横軸は非晶質GaAs層の成長温度を示し、縦軸は欠陥密度を示している。この図から、非晶質GaAs層の成長温度が500℃以下で、欠陥密度が $1 \times 10^6 \text{ cm}^{-2}$ 以下のGaAs結晶層が得られることがわかる。

【0020】上記の実施例では、Si基板の上に化合物半導体としてGaAsを用いる例を説明したが、本発明は、GaAsの他、AlGaAs等のIII-V族化合物半導体に適用することができる。

【0021】

【発明の効果】以上説明したように、本発明によると、結晶欠陥密度が $1 \times 10^6 \text{ cm}^{-2}$ 以下のGaAs on

Si基板を形成することができ、化合物半導体LED、化合物半導体レーザ、化合物半導体FET等を製造するための化合物半導体基板を再現性よく製造することができるため、高速動作可能な能動素子や発光素子に関する技術分野において寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の実施例の化合物半導体結晶基板の製造工程説明図である。

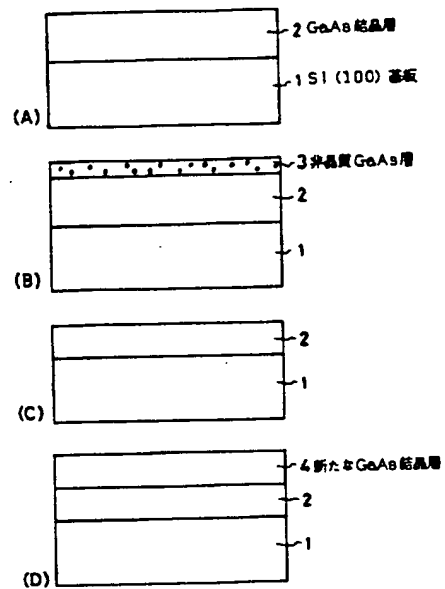
【図2】本発明の実施例の化合物半導体結晶基板の製造方法の非晶質GaAs層の欠陥密度と成長温度の関係図である。

【符号の説明】

- 1 Si(100)基板
- 2 GaAs結晶層
- 3 非晶質GaAs層
- 4 新たなGaAs結晶層

【図1】

本発明の実施例の化合物半導体
結晶基板の製造工程説明図



本発明の実施例
製造方法
欠陥密度

